

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Jung-hwan Choi

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: **CONTROL SYSTEMS HAVING AN ANALOG CONTROL UNIT THAT  
GENERATES AN ANALOG VALUE RESPONSIVE TO A DIGITAL VALUE  
AND HAVING TWICE THE RESOLUTION OF THE LEAST SIGNIFICANT  
BIT OF THE DIGITAL VALUE AND METHODS OF OPERATING THE  
SAME**

Date: March 29, 2004

Mail Stop PATENT APPLICATION  
Commissioner for Patents  
P. O. Box 1450  
Alexandria, VA 22313-1450

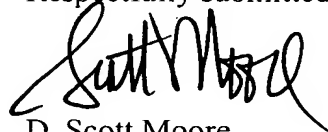
**SUBMITTAL OF PRIORITY DOCUMENT**

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the  
following Korean priority application:

10-2003-0020443, filed April 1, 2003.

Respectfully submitted,



D. Scott Moore  
Registration No. 42,011

USPTO Customer No. 20792  
Myers Bigel Sibley & Sajovec, P.A.  
Post Office Box 37428  
Raleigh, North Carolina 27627  
Telephone: (919) 854-1400  
Facsimile: (919) 854-1401

**CERTIFICATE OF EXPRESS MAILING**

Express Mail Label No. EV 381444756US

Date of Deposit: March 29, 2004

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to:  
Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

  
Traci A. Brown



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0020443  
Application Number

출원 년 월 일 : 2003년 04월 01일  
Date of Application APR 01, 2003

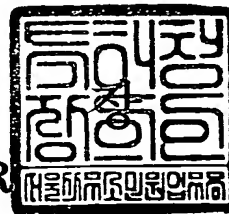
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 11 월 14 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서  
【권리구분】 특허  
【수신처】 특허청장  
【참조번호】 0005  
【제출일자】 2003.04.01  
【국제특허분류】 H01L  
【발명의 명칭】 정밀한 아날로그 제어 동작을 수행할 수 있는 제어 시스템 및 제어 방법  
【발명의 영문명칭】 Control system capable of operating precise analog control and method thereof  
【출원인】  
    【명칭】 삼성전자 주식회사  
    【출원인코드】 1-1998-104271-3  
【대리인】  
    【성명】 이영필  
    【대리인코드】 9-1998-000334-6  
    【포괄위임등록번호】 2003-003435-0  
【대리인】  
    【성명】 정상빈  
    【대리인코드】 9-1998-000541-1  
    【포괄위임등록번호】 2003-003437-4  
【발명자】  
    【성명의 국문표기】 최정환  
    【성명의 영문표기】 CHOI, Jung Hwan  
    【주민등록번호】 680223-1674516  
    【우편번호】 442-070  
    【주소】 경기도 수원시 팔달구 인계동 366번지 삼성아파트 102-902  
    【국적】 KR  
【심사청구】 청구  
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
이영필 (인) 대리인  
정상빈 (인)



1020030020443

출력 일자: 2003/11/20

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 24 면 24,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 18 항 685,000 원

【합계】 738,000 원

【첨부서류】

1. 요약서·명세서(도면)\_1통

## 【요약서】

## 【요약】

정밀한 아날로그 제어 동작을 수행할 수 있는 제어 시스템 및 제어 방법이 개시된다. 본 발명에 따른 제어 시스템은 카운팅 부, 디지털 제어부 및 아날로그 제어부를 구비한다. 카운팅 부는 제 1 제어 신호에 응답하여 측정 신호가 활성화되는 동안 입력되는 클럭의 수를 측정하고 상기 측정 신호가 비활성화 되면 측정된 클럭의 수를  $n$  비트의 제 1 카운팅 값 및  $n$  비트의 제 2 카운팅 값으로서 출력한다. 디지털 제어부는 상기 제 1 카운팅 값과 상기 제 2 카운팅 값을 비교하고 비교 결과에 따라 소정의 연산을 수행하여 연산 결과를  $n$  비트의 제 3 카운팅 값으로서 출력한다. 아날로그 제어부는 상기 제 3 카운팅 값에 응답하여 소정의 아날로그 값을 제어하고, 상기 제 3 카운팅 값의 최소 변화량에 응답하여 변화되는 최소 아날로그 값의 절반을 제어할 수 있는 1 비트의 제 2 제어 신호를 수신한다. 상기 제 2 제어 신호는 상기 측정 신호가 비활성화 되면 발생하는 신호인 것을 특징으로 한다. 상기 제어 시스템은 상기 아날로그 값 및 소정의 기준 값의 크기를 비교하여 상기 제 1 제어 신호를 발생하는 비교부를 더 구비한다. 본 발명에 따른 제어 시스템 및 제어 방법은 디지털 신호의 최소 비트에 대응되는 아날로그 값의 변화량의 절반을 제어할 수 있는 장점이 있다. 또한 본 발명에 따른 출력 드라이버 회로에 연결된 출력 패드에 흐르는 전류량 제어 방법은 출력 패드에 흐르는 전류량을 보다 정밀하게 제어할 수 있는 장점이 있다.

## 【대표도】

도 3

**【명세서】****【발명의 명칭】**

정밀한 아날로그 제어 동작을 수행할 수 있는 제어 시스템 및 제어 방법{Control system capable of operating precise analog control and method thereof}

**【도면의 간단한 설명】**

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 디지털 신호를 이용하여 아날로그 값을 제어하는 경우 발생하는 오차를 설명하는 도면이다.

도 2는 종래의 아날로그 값을 제어하기 위한 디지털 제어 시스템을 나타내는 도면이다.

도 3은 본 발명에 따른 제어 시스템을 나타내는 블록도이다.

도 4는 도 3의 아날로그 제어부를 나타내는 블록도이다.

도 5는 본 발명의 제어 시스템에 의해서 아날로그 값이 제어되는 경우 발생하는 오차를 설명하는 도면이다.

도 6은 디지털 신호의 2비트에 대응되는 아날로그 오차가 발생하는 경우를 설명하는 도면이다.

도 7은 도 6의 디지털 신호의 2비트에 대응되는 아날로그 오차가 본 발명의 제어 시스템에 의해서 줄어드는 것을 설명하는 도면이다.

도 8은 본 발명에 따른 제어 방법을 나타내는 플로우 차트이다.

도 9는 본 발명의 실시예에 따른 출력 드라이버 회로에 연결된 출력 패드에 흐르는 전류량 제어 방법을 설명하는 플로우 차트이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <11> 본 발명은 반도체 집적 회로에 관한 것으로서, 특히 정밀한 아날로그 제어 동작을 수행할 수 있는 제어 시스템 및 제어 방법에 관한 것이다.
- <12> 출력 패드에 흐르는 전류량을 제어하기 위해서는 출력 패드에 연결된 복수개의 오픈 드레인 출력 버퍼(open drain output buffer)들을 턴 온 또는 턴 오프 시키는 방법이 이용된다. 복수개의 오픈 드레인 출력 버퍼들은 일반적으로 복수개의 비트를 구비하는 디지털 신호에 의하여 제어된다.
- <13> 즉, 각각의 오픈 드레인 출력 버퍼는 디지털 신호의 각각의 비트에 대응되고, 디지털 신호의 각각의 비트의 논리 레벨에 응답하여 턴 온 또는 턴 오프 된다. 터미네이션 저항(termination resistance)의 저항 값을 제어하는 방법도 출력 패드에 흐르는 전류량을 제어하는 방법과 유사하다.
- <14> 여기서 출력 패드에 흐르는 전류량이나 터미네이션 저항의 저항 값은 아날로그 값이며 디지털 신호는 물론 디지털 값이다. 즉, 디지털 값을 이용하여 아날로그 값을 제어한다. 전류량이나 저항 값과 같은 아날로그 값은 대응되는 디지털 값이 1 비트씩 변할 때마다 일정한 양이 변한다.

- <15> 디지털 값의 최소 변화량에 대응되는 아날로그 값의 변화량을 디지털 값의 최소 변화량의 분해능(resolution)이라고 한다. 그런데 분해능에는 제한이 있으므로 원하는 아날로그 값을 정확히 제어하기 어려운 문제가 있다.
- <16> 도 1은 디지털 신호를 이용하여 아날로그 값을 제어하는 경우 발생하는 오차를 설명하는 도면이다.
- <17> 도 1은 아날로그 값을 디지털 신호를 이용하여 제어하는 경우 오차가 발생할 수 있는 모든 경우에 적용된다. 여기서는 설명의 편의를 위하여 도 1을 출력 패드에 흐르는 전류량을 조절하기 위한 오픈 드레인 출력 버퍼의 사이즈를 제어하는 경우에 적용시켜 이 때 발생하는 오차에 대하여 설명한다.
- <18> 일반적으로, 오픈 드레인 출력 버퍼의 사이즈 조절은 출력 패드에 흐르는 전류량이 원하는 기준 전류량에 도달하는 지를 측정하면서 오픈 드레인 출력 버퍼를 제어하는 디지털 신호를 결정하는 방법을 이용한다.
- <19> 도 1(a)를 참조하면, 측정 신호(EVALS)가 활성화되어 있는 동안 디지털 신호를 변화시키면서 출력 패드(미도시)에 흐르는 전류량이 기준 전류량(REFV)에 도달했는지를 측정한다. MIN\_RES는 디지털 신호를 1비트씩 변화시킬 때 출력 패드에 흐르는 전류가 변화되는 최소량을 표시한 것이다.
- <20> 출력 패드의 전류량이 기준 전류량(REFV)에 근접하여 측정 신호(EVALS)가 비활성화 되면 디지털 신호의 각각의 비트는 측정 신호(EVALS)가 비활성화 되는 순간 일정한 논리 레벨로 고정된다. 그러면, 도 1(a)에서 알 수 있듯이 출력 패드에 흐르는 전류량은 기준 전류량(REFV)과 비교할 때 일정한 오차(ERR1)를 가질 수 있다.



- <21> 이 오차(ERR1)는 디지털 신호가 1비트씩 변화될 때 출력 패드에 흐르는 전류량의 변화량과 동일하거나 이보다 작을 수 있다. 일반적인 램버스 디램(Rambus DRAM)의 경우 원하는 기준 전류량(REFV)이 약 30mA 정도이고 오픈 드레인 출력 버퍼를 제어하는 디지털 신호는 7비트이다.
- <22> 디지털 신호가 7비트이면 출력 패드에 흐르는 전류량은  $128 (= 2^7)$  단계로 나뉘어 질 수 있다. 다만 제작 공정에서의 환경 변화를 고려하여 출력 패드에 흐르는 전류량에 약간의 여유를 두어 설계한다. 즉, 원하는 기준 전류량(REFV)의 약 20%의 여유를 둔다. 따라서 최악의 상태에서 약 36mA가 출력 패드에 흐르도록 한다. 오픈 드레인 출력 버퍼는 PVT(Process, Voltage, Temperature) 조건에 따라서 출력 패드에 최소 36mA에서 최대 70mA 정도의 전류를 흐르게 할 수 있다. 따라서 디지털 신호의 1비트의 분해능(resolution)은 약 0.3mA ~ 0.6mA 이다.
- <23> 그러나, 현재 출력 패드에 흐르는 전류의 오차 범위에 대한 스펙 (specification)은 +1.5mA ~ -1.5mA 정도로 정해져 있다. 즉, 출력 패드에 흐르는 전류의 기준 전류량과의 오차는 온도가 높거나 낮은 경우, 전원 전압(vdd)의 레벨이 높거나 낮은 경우, 다양한 공정 과정에 무관하게 스펙에서 정해진 범위 이내이어야 한다.
- <24> 또한 모든 출력 패드들이 스펙에 정해진 조건을 동시에 만족해야 한다. 따라서 디지털 신호의 1비트의 분해능을 0.3mA ~ 0.6mA 보다 더 작게 해야 할 필요가 있다.
- <25> 도 1(b)는 출력 패드에 흐르는 전류량의 기준 전류량(REFV)에 대한 오차(ERR2)가 작은 경우를 나타내고 있다. 즉, 출력 패드에 흐르는 전류량의 기준 전류량(REFV)에 대한 오차는 도 1(a)와 같이 디지털 신호의 1비트의 분해능의 최대 값이 될 수도 있고 도 1(b)와 같이 디지털 신호의 1비트의 분해능의 최대 값보다 작은 어떤 값이 될 수 있다.

- <26> 따라서 디지털 신호의 1비트의 변화에 따른 출력 패드에 흐르는 전류 량의 변화량(즉, 1비트의 분해능)을 줄인다면 최종 목표치에 대한 조절치의 오차를 줄일 수 있다.
- <27> 도 2는 종래의 아날로그 값을 제어하기 위한 디지털 제어 시스템을 나타내는 도면이다.
- <28> 도 2를 참조하면, 비교부(240)는 아날로그 제어부(230)에 의해서 제어되는 아날로그 값(ANALV)을 기준 값(REFV)과 비교하여 제어 신호(CTRL)를 발생한다. 여기서 아날로그 값(ANALV)이 출력 패드에 흐르는 전류 량이 되고 기준 값(REFV)이 기준 전류 량이 된다.
- <29> 아날로그 값(ANALV), 즉 출력 패드에 흐르는 전류 량이 기준 값(REFV)보다 적으면 제어 신호(CTRL)는 제 1 레벨로 발생되고 아날로그 값(ANALV)이 기준 값(REFV)보다 크면 제어 신호(CTRL)는 제 2 레벨로 발생된다.
- <30> 카운터(210)는 측정 신호(EVALS)에 응답하여 동작되며 제어 신호(CTRL)가 제 1 레벨로 입력되면 클럭(CLK)의 수를 업카운팅 하고 제 2 레벨로 입력되면 다운 카운팅 한다. 아날로그 값(ANALV)이 기준 값(REFV)보다 커지면 제어 신호(CTRL)는 제 1 레벨로 발생되고 기준 값(REFV)보다 작아지면 제어 신호(CTRL)는 제 2 레벨로 발생된다. 따라서, 아날로그 값(ANALV)이 기준 값(REFV)에 근접하면 제어 신호(CTRL)는 제 1 레벨과 제 2 레벨로 번갈아 발생되고 카운터(210)는 업카운팅과 다운 카운팅을 반복한다.
- <31> 카운터(210)가 업카운팅과 다운 카운팅을 반복하는 도중 측정 신호(EVALS)가 비활성화 되면 카운터(210)는 그 때의 카운팅 값(SA) 출력한다. 카운팅 값(SA)은 레지스터(220)에 저장된다.

<32> 레지스터(220)에 저장된 카운팅 값(SA)은 아날로그 제어부(230)로 인가되고, 아날로그 제어부(230)는 아날로그 값(ANALV), 즉 출력 패드에 흐르는 전류량을 카운팅 값(SA)에 응답하여 제어한다.

<33> 이때 출력 패드에 흐르는 제어된 전류량은 도 1(a) 또는 도 1(b)에 도시된 것과 같은 오차(ERR1, ERR2)를 가지게 되는 문제가 있다.

**【발명이 이루고자 하는 기술적 과제】**

<34> 본 발명이 이루고자하는 기술적 과제는 디지털 신호의 최소 비트에 대응되는 아날로그 값의 변화량의 절반을 제어할 수 있는 제어 시스템을 제공하는데 있다.

<35> 본 발명이 이루고자하는 다른 기술적 과제는 디지털 신호의 최소 비트에 대응되는 아날로그 값의 변화량의 절반을 제어할 수 있는 제어 방법을 제공하는데 있다.

**【발명의 구성 및 작용】**

<36> 상기 기술적 과제를 달성하기 위한 본 발명에 따른 제어 시스템은 카운팅 부, 디지털 제어부 및 아날로그 제어부를 구비한다.

<37> 카운팅 부는 제 1 제어 신호에 응답하여 측정 신호가 활성화되는 동안 입력되는 클럭의 수를 측정하고 상기 측정 신호가 비활성화 되면 측정된 클럭의 수를 n 비트의 제 1 카운팅 값 및 n 비트의 제 2 카운팅 값으로서 출력한다.

<38> 디지털 제어부는 상기 제 1 카운팅 값과 상기 제 2 카운팅 값을 비교하고 비교 결과에 따라 소정의 연산을 수행하여 연산 결과를 n 비트의 제 3 카운팅 값으로서 출력한다.

- <39>      아날로그 제어부는 상기 제 3 카운팅 값에 응답하여 소정의 아날로그 값을 제어하고, 상기 제 3 카운팅 값의 최소 변화량에 응답하여 변화되는 최소 아날로그 값의 절반을 제어할 수 있는 1 비트의 제 2 제어 신호를 수신한다.
- <40>      상기 제 2 제어 신호는 상기 측정 신호가 비활성화 되면 발생하는 신호인 것을 특징으로 한다. 상기 제어 시스템은 상기 아날로그 값 및 소정의 기준 값의 크기를 비교하여 상기 제 1 제어 신호를 발생하는 비교부를 더 구비한다.
- <41>      상기 카운팅 부는 상기 측정 신호에 응답하여 동작되며 상기 제 1 제어 신호가 제 1 레벨이면 업 카운팅을 하고 상기 측정 신호가 비활성화 되면 카운팅 된 값을 상기 제 1 카운팅 값으로서 출력하는 제 1 카운터 및 상기 측정 신호에 응답하여 동작되며 상기 제 1 제어 신호가 제 1 레벨이면 업 카운팅을 하고 상기 제 1 제어 신호가 제 2 레벨이면 다운 카운팅을 하며 상기 측정 신호가 비활성화 되면 카운팅 된 값을 상기 제 2 카운팅 값으로서 출력하는 제 2 카운터를 구비하다.
- <42>      상기 디지털 제어부는 상기 제 1 카운팅 값 및 상기 제 2 카운팅 값이 동일하지 않으면 제 1 신호를 발생하고 동일하면 제 2 신호를 발생하는 비교 연산부, 상기 제 1 신호에 응답하여 상기 제 1 카운팅 값 및 상기 제 2 카운팅 값을 더하여 평균을 구하고 상기 평균 값 중 소수점 이하의 값을 제외한 값을 제 1 연산값으로 발생하는 제 1 연산부, 상기 제 2 신호에 응답하여 상기 제 1 카운팅 값에서 1을 뺀 값을 제 2 연산 값으로 발생하는 제 2 연산부 및 상기 제 1 연산 값 또는 상기 제 2 연산 값을 저장하고 저장된 값을 상기 제 3 카운팅 값으로 발생하는 저장부를 구비한다.

- <43>      상기 아날로그 제어부는 상기 제 3 카운팅 값에 응답하여 아날로그 값을 제어하는 제 1 회로 및 상기 제 2 제어 신호에 응답하여 상기 제 1 회로에 의하여 제어되는 최소 아날로그 값의 절반을 제어하는 제 2 회로를 구비하다.
- <44>      상기 아날로그 제어부는 상기 제 3 카운팅 값의 대응되는 비트에 응답하여 턴 온 또는 턴 오프 되는 제어 트랜지스터와 데이터를 수신하는 데이터 트랜지스터가 직렬 연결되는 구조를 가지며, 출력 패드에 흐르는 전류량을 제어하는 제 1 내지 제 n 오픈 드레인 출력 버퍼들 및 상기 제 2 제어 신호에 응답하여 턴 온 또는 턴 오프 되는 제어 트랜지스터와 데이터를 수신하는 데이터 트랜지스터가 직렬 연결되는 구조를 가지며, 출력 패드에 흐르는 전류량을 제어하는 서브 오픈 드레인 출력 버퍼를 구비한다.
- <45>      상기 제 1 내지 제 n 오픈 드레인 버퍼의 상기 제어 트랜지스터들의 사이즈 비는 상기 제 1 오픈 드레인 버퍼의 제어 트랜지스터의 사이즈를 1이라고 할 때 상기 제 n 오픈 드레인 버퍼의 제어 트랜지스터의 사이즈는  $\{ 2 \}^{n-1}$  인 관계를 가지며, 상기 서브 오픈 드레인 출력 버퍼의 제어 트랜지스터의 사이즈는 상기 제 1 오픈 드레인 출력 버퍼의 제어 트랜지스터의 절반인 것을 특징으로 한다.
- <46>      상기 다른 기술적 과제를 달성하기 위한 본 발명에 따른 제어 방법은 (a) 아날로그 값 및 소정의 기준 값의 크기를 비교하고 비교 결과에 따라 제 1 또는 제 2 논리 레벨을 가지는 제 1 제어 신호를 발생하는 단계, (b) 상기 제 1 제어 신호에 응답하여 측정 신호가 활성화되는 동안 클럭의 수를 측정하고 상기 측정 신호가 비활성화 되면 측정된 클럭의 수를 n 비트의 제 1 카운팅 값 및 n 비트의 제 2 카운팅 값으로서 출력하는 단계, (c) 상기 제 1 카운팅 값과 상기 제 2 카운팅 값을 비교하고 비교 결과에 따라 소정의 연산을 수행하여 연산 결과를 n 비트의 제 3 카운팅 값으로서 출력하는 단계 및 (d) 상기 제 3 카운팅 값에 응답하여 상기 아날

로그 값을 제어하고, 상기 제 3 카운팅 값의 최소 변화량에 응답하여 변화되는 최소 아날로그 값의 절반을 제어할 수 있는 1 비트의 제 2 제어 신호에 응답하여 상기 아날로그 값을 제어하는 단계를 구비하는 것을 특징으로 한다.

<47>        상기 다른 기술적 과제를 달성하기 위한 본 발명에 따른 하는 출력 드라이버 회로에 연결된 출력 패드에 흐르는 전류량 제어 방법은 제어 트랜지스터와 데이터 트랜지스터가 직렬 연결되는 구조를 가지는 제 1 내지 제 n 오픈 드레인 출력 버퍼 및 제어 트랜지스터와 데이터 트랜지스터가 직렬 연결되는 구조를 가지는 서브 오픈 드레인 출력 버퍼를 구비하는 출력 드라이버 회로에 있어서, 상기 출력 드라이버 회로에 연결된 출력 패드에 흐르는 전류량을 제어 방법에 있어서 (a) 출력 패드의 전류량이 기준 전류량에 근접했는지를 측정하는 단계, (b) 출력 패드의 전류량이 기준 전류량에 가장 근접 한 경우, 상기 제 1 내지 제 n 오픈 드레인 출력 버퍼의 제어 트랜지스터를 턴 온 또는 턴 오프 시키는 n 비트의 제 1 디지털 신호를 결정하는 단계, (c) 상기 n 비트의 제 1 디지털 신호에 응답하여 상기 제 1 내지 제 n 오픈 드레인 출력 버퍼의 제어 트랜지스터들을 제어하여 상기 출력 패드의 전류량을 제어하는 단계 및 (d) 제 2 디지털 신호에 응답하여 상기 서브 오픈 드레인 출력 버퍼의 제어 트랜지스터를 제어하여 상기 출력 패드의 전류량을 제어하는 단계를 구비하는 것을 특징으로 한다.

<48>        상기 (b) 단계는 상기 출력 패드의 전류량이 상기 기준 전류량 보다 작지만 상기 기준 전류량에 최대한 접근 한 경우에 상기 제 1 디지털 신호를 결정하는 것을 특징으로 한다.

<49>        상기 제 1 디지털 신호는 상기 서브 오픈 드레인 출력 버퍼의 제어 트랜지스터를 턴 온 시켜 상기 출력 패드에 흐르는 전류량을 증가시킨다. 상기 서브 오픈 드레인 출력 버퍼의 제어 트랜지스터의 사이즈는 상기 제 1 오픈 드레인 출력 버퍼의 제어 트랜지스터 사이즈의 절반이

며, 제 1 오픈 드레인 출력 버퍼의 제어 트랜지스터의 사이즈가 제 1 내지 제 n 오픈 드레인 출력 버퍼의 제어 트랜지스터의 사이즈 중 가장 작은 것을 특징으로 한다.

<50> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

<51> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<52> 도 3은 본 발명에 따른 제어 시스템을 나타내는 블록도이다.

<53> 도 8은 본 발명에 따른 제어 방법을 나타내는 플로우 차트이다.

<54> 디지털 신호를 이용하여 아날로그 값을 제어하는 종래의 제어 시스템에서는 디지털 신호의 1 비트 이하의 분해능이 없다. 즉, 디지털 신호의 1비트의 변화에 대응하는 아날로그 값의 변화량보다 작게 아날로그 값을 변화시킬 수 없다는 의미이다..

<55> 따라서 본 발명에서는 보다 정확한 제어를 위하여 1비트 이하의 분해능을 제어 시스템에 추가한다. 즉, 0.5 비트 분해능을 추가한다. 그러나 이러한 0.5 비트 분해능의 추가는 기존의 디지털 신호의 비트수를 한 비트 더 증가시키는 것은 아니다.

<56> 도 1(a) 또는 도 1(b)를 참조하면, 측정 신호(EVALS)가 비활성화 되는 시점에 따라서 디지털 신호가 기준 값(REFV)에서 1비트 아래로 설정되거나 또는 1비트 위로 설정될 수 있다. 어떤 경우에는 출력 패드에 흐르는 전류량이 기준 값(REFV)에 가깝게 설정되는 경우도 있고 어떤 경우에는 디지털 신호의 약 1비트의 분해능에 대응되는 전류량만큼 차이가 날 수도 있다

- <57> 만일 기준 값(REFV)에 비하여 출력 패드에 흐르는 전류량이 디지털 신호의 1 비트의 분해능에 대응되는 정도로 낮게 설정되면 본 발명에서는 0.5 비트의 분해능에 대응되는 전류량을 추가하여 오차를 감소시킨다.
- <58> 만일 기준 값(REFV)에 비하여 출력 패드에 흐르는 전류량이 디지털 신호의 1 비트의 분해능에 대응되는 정도로 높게 설정되면 본 발명에서는 0.5 비트의 분해능에 대응되는 전류량을 감소시켜 오차를 감소시킨다. 따라서 기존에는 최대 오차가 디지털 신호의 1비트 정도가 되었으나 본 발명에서는 0.5 비트 정도가 된다.
- <59> 본 발명에 따른 제어 방법(800)은 먼저 아날로그 값 및 소정의 기준 값의 크기를 비교하고 비교 결과에 따라 제 1 또는 제 2 논리 레벨을 가지는 제 1 제어 신호를 발생한다.(810 단계)
- <60> 이를 위하여 도 3의 제어 시스템(300)은 아날로그 값(ANALV) 및 소정의 기준 값(REFV)의 크기를 비교하여 제 1 제어 신호(CTRL1)를 발생하는 비교부(360)를 구비한다. 비교부(360)는 아날로그 값(ANALV)이 기준 값(REFV)보다 작으면 제 1 제어 신호(CTRL1)를 제 1 레벨로 출력하고 아날로그 값(ANALV)이 기준 값(REFV)보다 크면 제 1 제어 신호(CTRL1)를 제 2 레벨로 출력한다.
- <61> 상기 제 1 제어 신호에 응답하여 측정 신호가 활성화되는 동안 클럭의 수를 측정하고 상기 측정 신호가 비활성화 되면 측정된 클럭의 수를 n 비트의 제 1 카운팅 값 및 n 비트의 제 2 카운팅 값으로서 출력한다.(820 단계)
- <62> 820 단계의 동작은 카운팅 부(310)에서 수행된다. 좀 더 설명하면, 카운팅 부(310)는 제 1 제어 신호(CTRL1)에 응답하여 측정 신호(EVALS)가 활성화되는 동안 입력되는 클럭(CLK)의



수를 측정하고 측정 신호(EVALS)가 비활성화 되면 측정된 클럭(CLK)의 수를 n 비트의 제 1 카운팅 값(COUNTV1) 및 n 비트의 제 2 카운팅 값(COUNTV2)으로서 출력한다.

- <63> 카운팅 부(310)는 제 1 카운터(315) 및 제 2 카운터(317)를 구비한다. 제 1 카운터(315)는 측정 신호(EVALS)에 응답하여 동작되며 제 1 제어 신호(CTRL1)가 제 1 레벨이면 업 카운팅을 하고 측정 신호(EVALS)가 비활성화 되면 카운팅 된 값을 제 1 카운팅 값(COUNTV1)으로서 출력한다.
- <64> 제 1 카운터(315)는 업 다운 카운터가 아니며 제 1 제어 신호(CTRL1)가 제 1 레벨로 입력될 경우에만 업 카운팅을 하고 제 1 제어 신호(CTRL1)가 제 2 레벨로 입력되면 현재 카운팅 된 값을 그대로 유지하는 카운터이다.
- <65> 제 1 제어 신호(CTRL1)가 제 1 레벨인 경우는 아날로그 값(ANALV)이 기준 값(REFV)보다 작은 경우이다. 따라서 제 1 카운터(315)는 아날로그 값(ANALV)이 기준 값(REFV)보다 커지는 순간까지 업 카운팅을 계속하다가 아날로그 값(ANALV)이 기준 값(REFV)보다 커져서 제 1 제어 신호(CTRL1)가 제 2 레벨로 발생되면 그 순간까지 카운팅 된 값을 유지한다. 그리고 측정 신호(EVALS)가 비활성화 되면 카운팅 된 값을 제 1 카운팅 값(COUNTV1)으로서 출력한다.
- <66> 제 2 카운터(317)는 측정 신호(EVALS)에 응답하여 동작되며 제 1 제어 신호(CTRL1)가 제 1 레벨이면 업 카운팅을 하고 제 1 제어 신호(CTRL1)가 제 2 레벨이면 다운 카운팅을 하며 측정 신호(EVALS)가 비활성화 되면 카운팅 된 값을 제 2 카운팅 값(COUNTV2)으로서 출력한다.
- <67> 제 2 카운터(317)는 업 다운 카운터이다. 제 1 제어 신호(CTRL1)가 제 1 레벨인 경우는 아날로그 값(ANALV)이 기준 값(REFV)보다 작은 경우이다. 따라서 제 1 카운터(315)는 아날로그 값(ANALV)이 기준 값(REFV)보다 커지는 순간까지 업 카운

팅을 계속하다가 아날로그 값(ANALV)이 기준 값(REFV)보다 커져서 제 1 제어 신호(CTRL1)가 제 2 레벨로 발생되면 다운 카운팅을 한다.

<68> 따라서 제 2 카운터(317)는 기준 값(REFV)을 기준으로 업카운팅과 다운 카운팅을 반복한다. 그리고 측정 신호(EVALS)가 비활성화 되면 카운팅 된 값을 제 2 카운팅 값(COUNTV2)으로서 출력한다.

<69> 예를 들어 일반적인 램버스 디램(Rambus DRAM)에서 처럼 기준 값(REFV)이 30mA 이고 제 1 카운팅 값(COUNTV1) 및 제 2 카운팅 값(COUNTV2)이 7비트 신호라고 가정한다. 그리고 아날로그 값(ANALV)이 기준 값(REFV)보다 커지는 순간에 제 1 카운터(315) 및 제 2 카운터(317)는 10진수로 80을 카운트한다고 가정한다.

<70> 그러면 아날로그 값(ANALV)이 기준 값(REFV)보다 작으면서 기준 값(REFV)에 가장 근접하는 경우 제 1 카운터(315) 및 제 2 카운터(317)는 10진수로 79를 카운트하게 될 것이다. 여기서 아날로그 값(ANALV)은 출력 패드에 흐르는 전류 량이고 기준 값(REFV)은 기준 전류 량일 수 있다.

<71> 제 1 카운터(315) 및 제 2 카운터(317)는 측정 신호(EVALS)가 활성화되면 동작되고 측정 신호(EVALS)가 비활성화 되면 동작이 정지된다. 또한 리셋 신호(RST)에 응답하여 리셋된다.

<72> 측정 신호(EVALS)가 활성화 되면 아날로그 제어부(340)에 의해서 출력 패드에 흐르는 전류 량, 즉, 아날로그 값(ANALV)이 측정되고 측정된 아날로그 값(ANALV)은 비교부(360)로 입력되어 기준 값(REFV)과 비교된다.

<73> 비교부(360)는 아날로그 값(ANALV)이 기준 값(REFV)보다 작으면 제 1 제어

신호(CTRL1)를 제 1 레벨로 발생시켜 제 1 카운터(315) 및 제 2 카운터(317)로 인가한다. 제 1 카운터(315) 및 제 2 카운터(317)는 업카운팅을 한다. 그러다가 아날로그 값(ANALV)이 기준 값(REFV)보다 커지는 순간 제 1 카운터(315) 및 제 2 카운터(317)는 10진수로 80을 카운트한다

<74> 아날로그 값(ANALV)이 기준 값(REFV)보다 크면 아날로그 제어부(340)는 아날로그 값(ANALV)을 다시 기준 값(REFV)보다 작도록 제어한다. 그러면 비교부(360)는 제 1 제어 신호(CTRL1)를 제 2 레벨로 발생한다. 제 1 카운터(315)는 다운카운팅을 하지 않으므로 현재 카운트한 80을 유지하고 제 2 카운터(317)는 다운카운팅을 하여 10진수로 79를 카운트한다.

<75> 아날로그 값(ANALV)이 기준 값(REFV)보다 작으면 아날로그 제어부(340)는 아날로그 값(ANALV)을 다시 기준 값(REFV)보다 크도록 제어한다. 그러면 비교부(360)는 제 1 제어 신호(CTRL1)를 제 1 레벨로 발생한다. 제 2 카운터(317)는 다시 업 카운팅을 하여 10진수로 80을 카운트한다.

<76> 이와같이 아날로그 제어부(340)는 아날로그 값(ANALV)이 기준 값(REFV)에 근접하게 유지되도록 계속 제어하며 따라서 제 2 카운터(317)는 10진수로 80을 세거나 79를 세거나 하는 동작을 계속 반복한다.

<77> 아날로그 값(ANALV)이 기준 값(REFV)에 근접되면 측정 신호(EVALS)가 비활성화 된다. 그러면 제 1 카운터(315)는 10진수 80을 제 1 카운팅 값(COUNTV1)으로 출력하고 제 2 카운터(317)는 10진수 79 또는 80 중의 하나를 제 2 카운팅 값(COUNTV2)으로 출력한다. 제 1 카운터(315)는 10진수 80에 대응되는 7비트의 2진수를 제 1 카운팅 값(COUNTV1)으로 출력하고 제 2 카운터(317)는 10진수 80 또는 79에 대응되는 7비트의 2진수를 제 2 카운팅 값(COUNTV2)으로 출력한다.

- <78> 도 2의 종래의 제어 시스템(200)은 기준 값(REFV)에 근접하는 아날로그 값(ANALV)을 측정하고 이때의 제어 신호(SA)를 이용하여 오픈 드레인 출력 버퍼를 턴 온 또는 턴 오프 시켜 아날로그 값(ANALV)을 고정한다. 따라서 아날로그 값(ANALV)은 일정한 오차를 가질 수밖에 없다.
- <79> 그러나 본 발명에 따른 제어 시스템(300) 및 방법(800)은 얻어진 제 1 카운팅 값(COUNTV1) 및 제 2 카운팅 값(COUNTV2)을 이용하여 소정의 연산을 수행하여 보다 정확한 아날로그 값(ANALV)을 얻는다.
- <80> 제 1 카운팅 값과 상기 제 2 카운팅 값을 비교하고 비교 결과에 따라 소정의 연산을 수행하여 연산 결과를 n 비트의 제 3 카운팅 값으로서 출력한다.(830 단계)
- <81> 디지털 제어부(320)는 제 1 카운팅 값(COUNTV1)과 제 2 카운팅 값(COUNTV2)을 비교하고 비교 결과에 따라 소정의 연산을 수행하여 연산 결과를 n 비트의 제 3 카운팅 값(COUNTV3)으로서 출력한다.
- <82> 디지털 제어부(320)는 비교 연산부(325), 제 1 연산부(327), 제 2 연산부(335) 및 저장부(337)를 구비한다.
- <83> 비교 연산부(325)는 제 1 카운팅 값(COUNTV1) 및 제 2 카운팅 값(COUNTV2)이 동일하지 않으면 제 1 신호(S1)를 발생하고 동일하면 제 2 신호(S2)를 발생한다. 제 1 연산부(327)는 제 1 신호(S1)에 응답하여 제 1 카운팅 값(COUNTV1) 및 제 2 카운팅 값(COUNTV2)을 더하여 평균을 구하고 상기 평균 값 중 소수점 이하의 값을 제외한 값을 제 1 연산값(CALV1)으로 발생한다.
- <84> 만일 제 1 카운팅 값(COUNTV1)은 10진수로 80에 해당하는 2진수이고, 제 2 카운팅 값(COUNTV2)이 10진수로 79에 해당하는 2진수라면 비교 연산부(325)는 제 1 신호(S1)를 발생한다

. 그러면 제 1 연산부(327)는 80과 79의 평균을 구하고 소수점 이하의 값을 제외한 값인 79를 제 1 연산값(CALV1)으로 출력한다.

<85> 제 1 카운팅 값(COUNTV1) 및 제 2 카운팅 값(COUNTV2)이 동일하면 비교부(360)는 제 2 신호(S2)를 제 2 연산부(335)로 인가하고, 제 2 연산부(335)는 제 2 신호(S2)에 응답하여 제 1 카운팅 값(COUNTV1)에서 1을 뺀 값을 제 2 연산값(CALV2)으로 발생한다.

<86> 제 1 카운팅 값(COUNTV1) 및 제 2 카운팅 값(COUNTV2)이 동일하다는 의미는 양 값이 모두 80일 경우이다. 그러면 제 2 연산부(335)는 80에서 1을 뺀 값, 즉 79를 제 2 연산 값(CALV2)으로 출력한다.

<87> 저장부(337)는 제 1 연산 값(CALV1) 또는 제 2 연산 값(CALV2)을 저장하고 저장된 값을 제 3 카운팅 값(COUNTV3)으로 발생한다. 즉, 저장부(337)는 10진수 79에 해당되는 2진수 값을 저장한 후 제 3 카운팅 값(COUNTV3)으로서 출력한다. 제 3 카운팅 값(COUNTV3)은 아날로그 제어부(340)로 인가되어 아날로그 값(ANALV)을 제어한다.

<88> 제 2 제어 신호 발생부(350)는 측정 신호(EVALS)가 비활성 되면 제 2 제어 신호(CTRL2)를 발생한다. 제 2 제어 신호(CTRL2)는 제 3 카운팅 값(COUNTV3)의 최소 변화량에 응답하여 변화되는 최소 아날로그 값의 절반을 제어할 수 있는 1 비트의 신호이다.

<89> 따라서, 아날로그 제어부(340)는 제 3 카운팅 값 79에 대응되는 2진수 값과 1비트의 제 2 제어 신호(CTRL2)를 합한 2진수 값에 의하여 제어된다. 이 값은 10 진수로 79.5이며 출력 패드에 흐르는 전류량이 79 또는 80만큼 제어되던 것이 본 발명에서는 79.5만큼 제어될 수 있어서 좀더 정확한 아날로그 값(ANALV)의 제어가 가능한 것이다.

- <90>      상기 제 3 카운팅 값에 응답하여 상기 아날로그 값을 제어하고, 상기 제 2 제어 신호에 응답하여 상기 아날로그 값을 제어한다.(840 단계) 제 840 단계의 동작은 아날로그 제어부(340)에서 수행된다.
- <91>      아날로그 제어부(340)는 제 3 카운팅 값(COUNTV3)에 응답하여 소정의 아날로그 값(ANALV)을 제어하고, 제 3 카운팅 값(COUNTV3)의 최소 변화량에 응답하여 변화되는 최소 아날로그 값(ANALV)의 절반을 제어할 수 있는 1 비트의 제 2 제어 신호(CTRL2)를 수신한다.
- <92>      아날로그 제어부(340)는 제 3 카운팅 값(COUNTV3)에 응답하여 아날로그 값(ANALV)을 제어하는 제 1 회로 및 제 2 제어 신호(CTRL2)에 응답하여 제 1 회로에 의하여 제어되는 최소 아날로그 값의 절반을 제어하는 제 2 회로를 구비하다.
- <93>      도 4는 도 3의 아날로그 제어부를 나타내는 블록도이다. 아날로그 제어부(340)는 본 발명의 제어 시스템(300)이 적용되는 분야에 따라서 다양할 수 있으나 여기서는 램버스 디램에 사용되는 출력 드라이버를 이용하여 설명한다.
- <94>      도 4의 아날로그 제어부(340)는 제 1 내지 제 n 오픈 드레인 출력 버퍼들(BUF1, BUF2 ~ BUF<sub>n-1</sub>, BUF<sub>n</sub>)과 서브 오픈 드레인 출력 버퍼(420)를 구비한다. 제 1 내지 제 n 오픈 드레인 출력 버퍼들(BUF1, BUF2 ~ BUF<sub>n-1</sub>, BUF<sub>n</sub>)이 제 1 회로(410)이고 서브 오픈 드레인 출력 버퍼(420)가 제 2 회로이다.
- <95>      제 1 내지 제 n 오픈 드레인 출력 버퍼들(BUF1, BUF2 ~ BUF<sub>n-1</sub>, BUF<sub>n</sub>)은 제 3 카운팅 값(COUNTV3)의 대응되는 비트에 응답하여 턴 온 또는 턴 오프 되는 제어 트랜지스터(CTR1, CTR2 ~ CTR<sub>n-1</sub>, CTR<sub>n</sub>)와 데이터(DATA)를 수신하는 데이터 트랜지스터(DTR1, DTR2 ~ DTR<sub>n-1</sub>, DTR<sub>n</sub>)가 직렬 연결되는 구조를 가지며 출력 패드(DQ)에 흐르는 전류량을 제어한다.

- <96> 서브 오픈 드레인 출력 버퍼(420)는 제 2 제어 신호(CTRL2)에 응답하여 턴 온 또는 턴 오프 되는 제어 트랜지스터(SCTR)와 데이터(DATA)를 수신하는 데이터 트랜지스터(SDTR)가 직렬 연결되는 구조를 가지며, 출력 패드(DQ)에 흐르는 전류량을 제어한다.
- <97> 제 3 카운팅 값(COUNTV3)은 게이트 제어 신호(VGATE)와 함께 앤드 게이트들(AND1, AND2 ~ ANDn-1, ANDn)을 통하여 제어 트랜지스터들(CTR1, CTR2 ~ CTRn-1, CTRn)로 인가된다. 게이트 제어 신호(VGATE)는 하이 레벨로 발생되므로 제어 트랜지스터들(CTR1, CTR2 ~ CTRn-1, CTRn)은 제 3 카운팅 값(COUNTV3)에 응답하여 턴 온 또는 턴 오프 된다.
- <98> 제 3 카운팅 값(COUNTV3)의 첫 번째 비트는 제 1 오픈 드레인 출력 버퍼(BUF1)의 제어 트랜지스터(CTR1)로 인가된다. 마찬가지로 제 3 카운팅 값(COUNTV3)의 n 번째 비트는 제 n 오픈 드레인 출력 버퍼(BUFn)의 제어 트랜지스터(CTRn)로 인가된다. 앞의 예에서 설명된 것과 같이 만일 제 3 카운팅 값(COUNTV3)이 10진수 79라면, 79에 대응되는 7비트의 2진수 값인 1001111의 각각의 비트가 각각의 제어 트랜지스터(CTR1, CTR2 ~ CTRn-1, CTRn)로 인가된다.
- <99> 제 1 내지 제 n 오픈 드레인 출력 버퍼(BUF1, BUF2 ~ BUFn-1, BUFn)의 제어 트랜지스터들(CTR1, CTR2 ~ CTRn-1, CTRn)의 사이즈 비는 제 1 오픈 드레인 출력 버퍼(BUF1)의 제어 트랜지스터(CTR1)의 사이즈를 1이라고 할 때 제 n 오픈 드레인 출력 버퍼(BUFn)의 제어 트랜지스터(CTRn)의 사이즈는  $\{2\}^{n-1}$ 인 관계를 가진다.
- <100> 서브 오픈 드레인 출력 버퍼(420)의 제어 트랜지스터(SCTR)의 사이즈는 제 1 오픈 드레인 출력 버퍼(BUF1)의 제어 트랜지스터(CTR1)의 절반이다. 제 3 카운팅 값(COUNTV3)에 의하여 제어되는 출력 패드(DQ)로 흐르는 전류량은 제 3 카운팅 값(COUNTV3)의 1비트의 변화에 대응되는 오차를 가질 수 있다.

- <101> 그러나 제 2 제어 신호(CTRL2)에 의하여 서브 오픈 드레인 출력 버퍼(420)의 제어 트랜지스터(SCTR)가 턴 온 또는 턴 오프 되므로 출력 패드(DQ)에 흐르는 전류량은 제 3 카운팅 값(COUNTV3)의 1비트의 변화에 대응되는 전류량의 절반만큼 더 정밀하게 제어될 수 있다.
- <102> 도 5는 본 발명의 제어 시스템에 의해서 아날로그 값이 제어되는 경우 발생하는 오차를 설명하는 도면이다.
- <103> 도 5(a)는 측정 신호(EVALS)가 비활성화 되는 순간 제 1 카운팅 값(COUNTV1)과 제 2 카운팅 값(COUNTV2)이 서로 다른 경우 본 발명에 의하여 출력 패드(DQ)에 흐르는 전류량이 줄어드는 것을 설명한다.
- <104> 도 5(b)는 측정 신호(EVALS)가 비활성화 되는 순간 제 1 카운팅 값(COUNTV1)과 제 2 카운팅 값(COUNTV2)이 서로 동일한 경우 본 발명에 의하여 출력 패드(DQ)에 흐르는 전류량이 줄어드는 것을 설명한다.
- <105> 도 6은 디지털 신호의 2비트에 대응되는 아날로그 오차가 발생하는 경우를 설명하는 도면이다.
- <106> 도 6(a)는 출력 패드에 흐르는 전류량이 기준 값(REFV)보다 디지털 신호 2비트가 변화될 때 출력 패드에 흐르는 전류량만큼 작은 경우를 설명하는 도면이다. 도 6(b)는 출력 패드에 흐르는 전류량이 기준 값(REFV)보다 디지털 신호 1비트가 변화될 때 출력 패드에 흐르는 전류량만큼 작은 경우를 설명하는 도면이다. 즉, 도 6(a)와 도 6(b)에서 알 수 있듯이, 종래의 아날로그 제어 시스템(200)에서는 출력 패드에 흐르는 전류의 오차(ERR5, ERR6)는 어떻게 결정될지 알 수 없다.



- <107> 그러나 본 발명의 제어 시스템(300)은 디지털 신호의 2비트에 대응되는 아날로그 오차가 발생되더라도 1비트에 대응되는 오차가 발생하는 경우와 마찬가지로 정밀한 아날로그 제어를 할 수 있다.
- <108> 도 7은 도 6의 디지털 신호의 2비트에 대응되는 아날로그 오차가 본 발명의 제어 시스템에 의해서 줄어드는 것을 설명하는 도면이다.
- <109> 예를 들어 도 3의 제 1 카운터(315)가 제 1 카운팅 값(COUNTV1)으로서 80을 출력하고 제 2 카운터(317)가 제 2 카운팅 값(COUNTV2)으로서 78을 출력하는 경우에도 제 3 카운팅 값(COUNTV3)은 79를 출력한다. 제 1 연산부(327)에서 80과 78의 평균을 구하고 소수점 이하의 숫자는 버리는 연산을 수행하면 79라는 결과를 얻을 수 있다.
- <110> 따라서 제 3 카운팅 값(COUNTV3)과 제 2 제어 신호(CTRL2)를 더하면 79.5가 되고 아날로그 제어부(340)는 79.5에 응답하여 아날로그 값을 정밀하게 제어할 수 있다. 도 7(a)는 제 1 카운팅 값(COUNTV1)이 80이고 제 2 카운팅 값(COUNTV2)이 78인 경우 본 발명에 따른 제어시스템(300)에서 출력 패드(DQ)에 흐르는 전류량의 오차(ERR7)를 설명한다. 도 7(b)는 제 1 카운팅 값(COUNTV1)이 80이고 제 2 카운팅 값(COUNTV2)이 79인 경우 본 발명에 따른 제어시스템(300)에서 출력 패드(DQ)에 흐르는 전류량의 오차(ERR8)를 설명한다.
- <111> 도 9는 본 발명의 실시예에 따른 출력 드라이버 회로에 연결된 출력 패드에 흐르는 전류량 제어 방법을 설명하는 플로우 차트이다.
- <112> 도 9의 방법(900)은 제어 트랜지스터와 데이터 트랜지스터가 직렬 연결되는 구조를 가지는 제 1 내지 제 n 오픈 드레인 출력 버퍼 및 제어 트랜지스터와 데이터 트랜지스터가 직렬 연

결되는 구조를 가지는 서브 오픈 드레인 출력 버퍼를 구비하는 출력 드라이버 회로에 있어서 출력 드라이버 회로에 연결된 출력 패드에 흐르는 전류량을 제어하는 방법에 관한 것이다.

<113> 도 9의 방법(900)은 본 발명의 실시예인 아날로그 제어 시스템 및 아날로그 제어 방법을 오픈 드레인 출력 버퍼를 구비하는 램버스 디램(Rambus DRAM)의 출력 드라이버 회로에 적용한 실시예이다. 도 3의 제어 시스템(300)과 도 4를 참조하여 설명한다.

<114> 먼저, 출력 패드의 전류량이 기준 전류량에 근접했는지를 측정한다.(910 단계) 910 단계의 동작은 비교부(360)에서 수행된다. 즉, 출력 패드(DQ)에 흐르는 전류량과 기준 전류량의 크기를 비교한다. 출력 패드에 흐르는 전류량은 도 3의 아날로그 값(ANALV)이고 기준 전류량은 기준 값(REFV)이다. 이하에서는 아날로그 값(ANALV)과 기준 값(REFV) 대신 출력 패드의 전류량과 기준 전류량이라는 용어를 사용한다.

<115> 출력 패드의 전류량이 기준 전류량에 가장 근접한 경우, 상기 제 1 내지 제 n 오픈 드레인 출력 버퍼의 제어 트랜지스터를 턴 온 또는 턴 오프 시키는 n 비트의 제 1 디지털 신호를 결정한다.(920 단계) 920 단계의 동작은 도 3의 디지털 제어부(320)에서 수행된다.

<116> 제 1 디지털 신호는 출력 패드(DQ)의 전류량이 기준 전류량보다 작지만 기준 전류량에 최대한 접근한 때에 결정된다. 제 1 디지털 신호는 도 3의 제 3 카운팅 값(COUNTV3)에 대응된다.

<117> 상기 n 비트의 제 1 디지털 신호에 응답하여 상기 제 1 내지 제 n 오픈 드레인 출력 버퍼의 제어 트랜지스터들을 제어하여 상기 출력 패드의 전류량을 제어한다.(930 단계) 930 단계는 아날로그 제어부(340)에서 수행된다. 아날로그 제어부(340)는 도 4에 도시된다.

- <118> 도 4의 제 1 내지 제 n 오픈 드레인 출력 버퍼(BUF1, BUF2 ~ BUF<sub>n-1</sub>, BUF<sub>n</sub>)의 제어 트랜지스터(CTR1, CTR2 ~ CTR<sub>n-1</sub>, CTR<sub>n</sub>)들은 제 1 디지털 신호의 대응되는 비트들의 논리 값에 의하여 턴 온 또는 턴 오프 되고 따라서 출력 패드(DQ)에 흐르는 전류 량이 제어된다.
- <119> 제 2 디지털 신호에 응답하여 상기 서브 오픈 드레인 출력 버퍼의 제어 트랜지스터를 제어하여 상기 출력 패드의 전류 량을 제어한다.(940 단계) 제 2 디지털 신호는 서브 오픈 드레인 출력 버퍼(420)의 제어 트랜지스터(SCTR)를 턴 온 시켜 출력 패드(DQ)에 흐르는 전류량을 증가시킨다.
- <120> 제 2 디지털 신호는 도 3의 제 2 제어 신호(CTRL2)에 대응된다. 즉, 측정 신호(EVALS)가 비활성화 되면 발생하는 신호이다. 서브 오픈 드레인 출력 버퍼(420)의 제어 트랜지스터(SCTR)의 사이즈는 제 1 오픈 드레인 출력 버퍼(BUF1)의 제어 트랜지스터(CTR1) 사이즈의 절반이다.
- <121> 그리고, 제 1 오픈 드레인 출력 버퍼(BUF1)의 제어 트랜지스터(CTR1)의 사이즈가 제 1 내지 제 n 오픈 드레인 출력 버퍼(BUF1, BUF2 ~ BUF<sub>n-1</sub>, BUF<sub>n</sub>)의 제어 트랜지스터(CTR1, CTR2 ~ CTR<sub>n-1</sub>, CTR<sub>n</sub>)의 사이즈 중 가장 작다.
- <122> 종래에는 출력 패드(DQ)에 흐르는 전류 량을 조절할 수 있는 최소 단위가 제 1 오픈 드레인 출력 버퍼(BUF1)의 제어 트랜지스터(CTR1)의 사이즈에 의존했다. 그러나 제 2 디지털 신호를 이용하여 서브 오픈 드레인 출력 버퍼(420)의 제어 트랜지스터(SCTR)를 턴 온 또는 턴 오프 시킴으로써 출력 패드(DQ)에 흐르는 전류 량을 좀 더 정밀하게 제어할 수 있다.
- <123> 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특

허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

**【발명의 효과】**

<124> 상술한 바와 같이 본 발명에 따른 제어 시스템 및 제어 방법은 최종 목표치를 디지털 신호의 최소 비트에 대응되는 아날로그 값의 변화량의 절반으로 제어할 수 있는 장점이 있다. 또한 본 발명에 따른 출력 드라이버 회로에 연결된 출력 패드에 흐르는 전류량 제어 방법은 출력 패드에 흐르는 전류량을 보다 정밀하게 제어할 수 있는 장점이 있다.

**【특허청구범위】****【청구항 1】**

제 1 제어 신호에 응답하여 측정 신호가 활성화되는 동안 입력되는 클럭의 수를 측정하고 상기 측정 신호가 비활성화 되면 측정된 클럭의 수를 n 비트의 제 1 카운팅 값 및 n 비트의 제 2 카운팅 값으로서 출력하는 카운팅 부 ;

상기 제 1 카운팅 값과 상기 제 2 카운팅 값을 비교하고 비교 결과에 따라 소정의 연산을 수행하여 연산 결과를 n 비트의 제 3 카운팅 값으로서 출력하는 디지털 제어부 ; 및

상기 제 3 카운팅 값에 응답하여 소정의 아날로그 값을 제어하고, 상기 제 3 카운팅 값의 최소 변화량에 응답하여 변화되는 최소 아날로그 값의 절반을 제어할 수 있는 1 비트의 제 2 제어 신호를 수신하는 아날로그 제어부를 구비하는 것을 특징으로 하는 정밀한 아날로그 제어 동작을 수행할 수 있는 제어 시스템.

**【청구항 2】**

제 1항에 있어서, 상기 제 2 제어 신호는,

상기 측정 신호가 비활성화 되면 발생하는 신호인 것을 특징으로 하는 정밀한 아날로그 제어 동작을 수행할 수 있는 제어 시스템.

**【청구항 3】**

제 1항에 있어서, 상기 제어 시스템은,

상기 아날로그 값 및 소정의 기준 값의 크기를 비교하여 상기 제 1 제어 신호를 발생하는 비교부를 더 구비하는 것을 특징으로 하는 정밀한 아날로그 제어 동작을 수행할 수 있는 제어 시스템.

**【청구항 4】**

제 1항에 있어서, 상기 카운팅 부는,

상기 측정 신호에 응답하여 동작되며 상기 제 1 제어 신호가 제 1 레벨이면 업 카운팅을 하고 상기 측정 신호가 비활성화 되면 카운팅 된 값을 상기 제 1 카운팅 값으로서 출력하는 제 1 카운터 ; 및

상기 측정 신호에 응답하여 동작되며 상기 제 1 제어 신호가 제 1 레벨이면 업 카운팅을 하고 상기 제 1 제어 신호가 제 2 레벨이면 다운 카운팅을 하며 상기 측정 신호가 비활성화 되면 카운팅 된 값을 상기 제 2 카운팅 값으로서 출력하는 제 2 카운터를 구비하는 것을 특징으로 하는 정밀한 아날로그 제어 동작을 수행할 수 있는 제어 시스템.

**【청구항 5】**

제 4항에 있어서, 상기 제 1 카운터 및 상기 제 2 카운터는,

상기 측정 신호가 활성화되면 동작되고 상기 측정 신호가 비활성화 되면 동작이 정지되며,

리셋 신호에 응답하여 리셋되는 것을 특징으로 하는 정밀한 아날로그 제어 동작을 수행할 수 있는 제어 시스템.

**【청구항 6】**

제 1항에 있어서, 상기 디지털 제어부는,

상기 제 1 카운팅 값 및 상기 제 2 카운팅 값이 동일하지 않으면 제 1 신호를 발생하고 동일하면 제 2 신호를 발생하는 비교 연산부 ;

상기 제 1 신호에 응답하여 상기 제 1 카운팅 값 및 상기 제 2 카운팅 값을 더하여 평균을 구하고 상기 평균 값 중 소수점 이하의 값을 제외한 값을 제 1 연산값으로 발생하는 제 1 연산부 ;

상기 제 2 신호에 응답하여 상기 제 1 카운팅 값에서 1을 뺀 값을 제 2 연산 값으로 발생하는 제 2 연산부 ; 및

상기 제 1 연산 값 또는 상기 제 2 연산 값을 저장하고 저장된 값을 상기 제 3 카운팅 값으로 발생하는 저장부를 구비하는 것을 특징으로 하는 정밀한 아날로그 제어 동작을 수행할 수 있는 제어 시스템.

#### 【청구항 7】

제 1항에 있어서, 상기 아날로그 제어부는,

상기 제 3 카운팅 값에 응답하여 아날로그 값을 제어하는 제 1 회로 ; 및

상기 제 2 제어 신호에 응답하여 상기 제 1 회로에 의하여 제어되는 최소 아날로그 값의 절반을 제어하는 제 2 회로를 구비하는 것을 특징으로 하는 정밀한 아날로그 제어 동작을 수행할 수 있는 제어 시스템.

#### 【청구항 8】

제 1항에 있어서, 상기 아날로그 제어부는,

상기 제 3 카운팅 값의 대응되는 비트에 응답하여 턴 온 또는 턴 오프 되는 제어 트랜지스터와 데이터를 수신하는 데이터 트랜지스터가 직렬 연결되는 구조를 가지며, 출력 패드에 흐르는 전류량을 제어하는 제 1 내지 제 n 오픈 드레인 출력 버퍼들 ; 및

상기 제 2 제어 신호에 응답하여 턴 온 또는 턴 오프 되는 제어 트랜지스터와 데이터를 수신하는 데이터 트랜지스터가 직렬 연결되는 구조를 가지며, 출력 패드에 흐르는 전류량을 제어하는 서브 오픈 드레인 출력 버퍼를 구비하는 것을 특징으로 하는 정밀한 아날로그 제어 동작을 수행할 수 있는 제어 시스템.

#### 【청구항 9】

제 8항에 있어서, 상기 제 1 내지 제 n 오픈 드레인 버퍼의 상기 제어 트랜지스터들의 사이즈 비는,

상기 제 1 오픈 드레인 버퍼의 제어 트랜지스터의 사이즈를 1이라고 할 때 상기 제 n 오픈 드레인 버퍼의 제어 트랜지스터의 사이즈는  $\{2\}^{n-1}$  인 관계를 가지며,

상기 서브 오픈 드레인 출력 버퍼의 제어 트랜지스터의 사이즈는 상기 제 1 오픈 드레인 출력 버퍼의 제어 트랜지스터의 절반인 것을 특징으로 하는 정밀한 아날로그 제어 동작을 수행할 수 있는 제어 시스템.

#### 【청구항 10】

(a) 아날로그 값 및 소정의 기준 값의 크기를 비교하고 비교 결과에 따라 제 1 또는 제 2 논리 레벨을 가지는 제 1 제어 신호를 발생하는 단계 ;

(b) 상기 제 1 제어 신호에 응답하여 측정 신호가 활성화되는 동안 클럭의 수를 측정하고 상기 측정 신호가 비활성화 되면 측정된 클럭의 수를 n 비트의 제 1 카운팅 값 및 n 비트의 제 2 카운팅 값으로서 출력하는 단계 ;

(c) 상기 제 1 카운팅 값과 상기 제 2 카운팅 값을 비교하고 비교 결과에 따라 소정의 연산을 수행하여 연산 결과를 n 비트의 제 3 카운팅 값으로서 출력하는 단계 ; 및



(d) 상기 제 3 카운팅 값에 응답하여 상기 아날로그 값을 제어하고, 상기 제 3 카운팅 값의 최소 변화량에 응답하여 변화되는 최소 아날로그 값의 절반을 제어할 수 있는 1 비트의 제 2 제어 신호에 응답하여 상기 아날로그 값을 제어하는 단계를 구비하는 것을 특징으로 하는 아날로그 값을 정밀하게 제어할 수 있는 방법.

**【청구항 11】**

제 10항에 있어서, 상기 제 2 제어 신호는,

상기 측정 신호가 비활성화 되면 발생하는 신호인 것을 특징으로 하는 아날로그 값을 정밀하게 제어할 수 있는 방법.

**【청구항 12】**

제 10항에 있어서, 상기 (b) 단계는,

(b1) 상기 제 1 제어 신호가 제 1 레벨이면 업 카운팅을 하고 상기 측정 신호가 비활성화 되면 카운팅 된 값을 상기 제 1 카운팅 값으로서 출력하는 단계 ; 및

(b2) 상기 제 1 제어 신호가 제 1 레벨이면 업 카운팅을 하고 상기 제 1 제어 신호가 제 2 레벨이면 다운 카운팅을 하며 상기 측정 신호가 비활성화 되면 카운팅 된 값을 상기 제 2 카운팅 값으로서 출력하는 단계를 구비하는 것을 특징으로 하는 아날로그 값을 정밀하게 제어할 수 있는 방법.

**【청구항 13】**

제 10항에 있어서, 상기 (c) 단계는,

(c1) 상기 제 1 카운팅 값 및 상기 제 2 카운팅 값이 동일한지 여부를 비교하는 단계 ;

(c2) 상기 제 1 카운팅 값과 상기 제 2 카운팅 값이 다르면 상기 제 1 카운팅 값 및 상기 제 2 카운팅 값을 더하여 평균을 구하고 상기 평균 값 중 소수점 이하의 값을 제외한 값을 제 1 연산 값으로 발생하는 단계 ;

(c3) 상기 제 1 카운팅 값과 상기 제 2 카운팅 값이 동일하면 상기 제 1 연산 값에서 1을 뺀 값을 제 2 연산 값으로 발생하는 단계 ; 및

(c4) 상기 제 1 연산 값 또는 상기 제 2 연산 값을 저장하고 저장된 값을 상기 제 3 카운팅 값으로 발생하는 단계를 구비하는 것을 특징으로 하는 아날로그 값을 정밀하게 제어할 수 있는 방법.

#### 【청구항 14】

제 10항에 있어서, 상기 (d) 단계는,

(d1) 상기 제 3 카운팅 값에 응답하여 상기 아날로그 값을 제어하는 단계 ; 및

(d2) 상기 제 2 제어 신호에 응답하여 상기 제 3 카운팅 값의 최소 변화량에 응답하여 변화되는 최소 아날로그 값의 절반을 제어하는 단계를 구비하는 것을 특징으로 하는 아날로그 값을 정밀하게 제어할 수 있는 방법.

#### 【청구항 15】

제어 트랜지스터와 데이터 트랜지스터가 직렬 연결되는 구조를 가지는 제 1 내지 제 n 오픈 드레인 출력 버퍼 및 제어 트랜지스터와 데이터 트랜지스터가 직렬 연결되는 구조를 가지는 서브 오픈 드레인 출력 버퍼를 구비하는 출력 드라이버 회로에 있어서,

상기 출력 드라이버 회로에 연결된 출력 패드에 흐르는 전류량을 제어 방법에 있어서,

(a) 출력 패드의 전류 량이 기준 전류 량에 근접했는지를 측정하는 단계 ;

(b) 출력 패드의 전류 량이 기준 전류 량에 가장 근접 한 경우, 상기 제 1 내지 제 n 오픈 드레인 출력 버퍼의 제어 트랜지스터를 턴 온 또는 턴 오프 시키는 n 비트의 제 1 디지털 신호를 결정하는 단계 ;

(c) 상기 n 비트의 제 1 디지털 신호에 응답하여 상기 제 1 내지 제 n 오픈 드레인 출력 버퍼의 제어 트랜지스터들을 제어하여 상기 출력 패드의 전류 량을 제어하는 단계 ; 및

(d) 제 2 디지털 신호에 응답하여 상기 서브 오픈 드레인 출력 버퍼의 제어 트랜지스터를 제어하여 상기 출력 패드의 전류 량을 제어하는 단계를 구비하는 것을 특징으로 하는 출력 드라이버 회로에 연결된 출력 패드에 흐르는 전류 량 제어 방법.

#### 【청구항 16】

제 15항에 있어서, 상기 (b) 단계는,

상기 출력 패드의 전류 량이 상기 기준 전류 량 보다 작지만 상기 기준 전류 량에 최대한 접근 한 경우에 상기 제 1 디지털 신호를 결정하는 것을 특징으로 하는 출력 드라이버 회로에 연결된 출력 패드에 흐르는 전류 량 제어 방법.

#### 【청구항 17】

제 15항에 있어서, 상기 제 2 디지털 신호는,

상기 서브 오픈 드레인 출력 버퍼의 제어 트랜지스터를 턴 온 시켜 상기 출력 패드에 흐르는 전류량을 증가시키는 것을 특징으로 하는 출력 드라이버 회로에 연결된 출력 패드에 흐르는 전류 량 제어 방법.

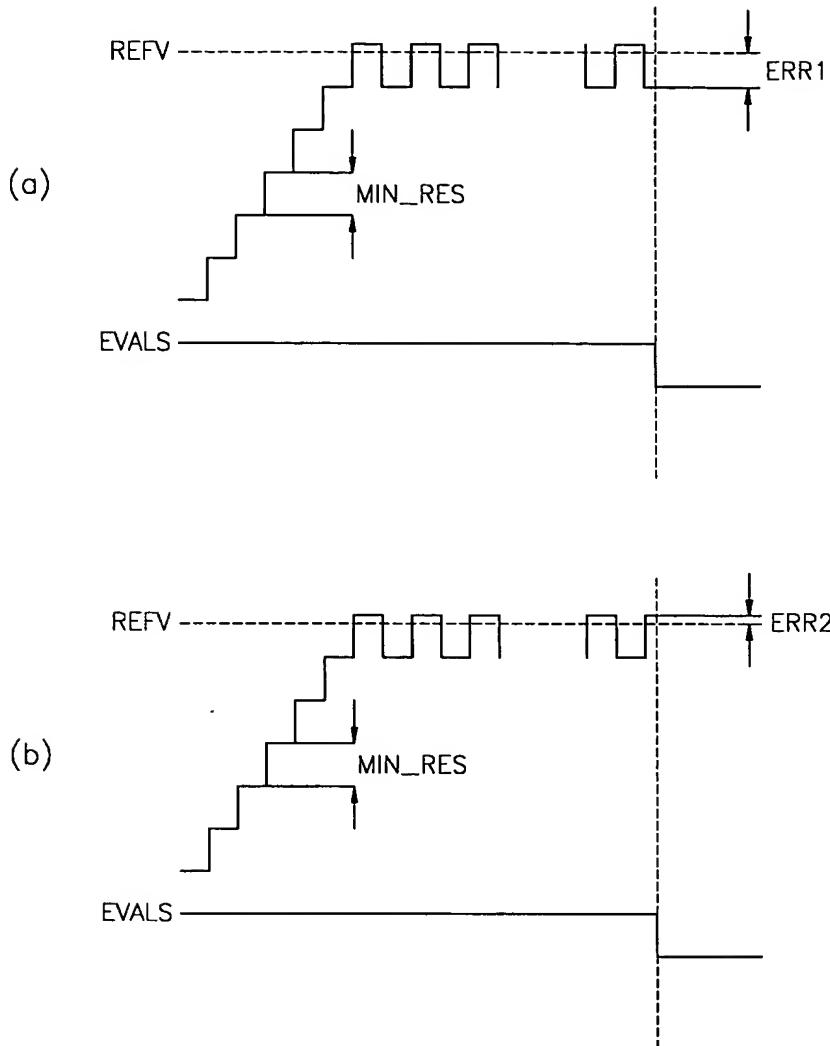
## 【청구항 18】

제 15항에 있어서,

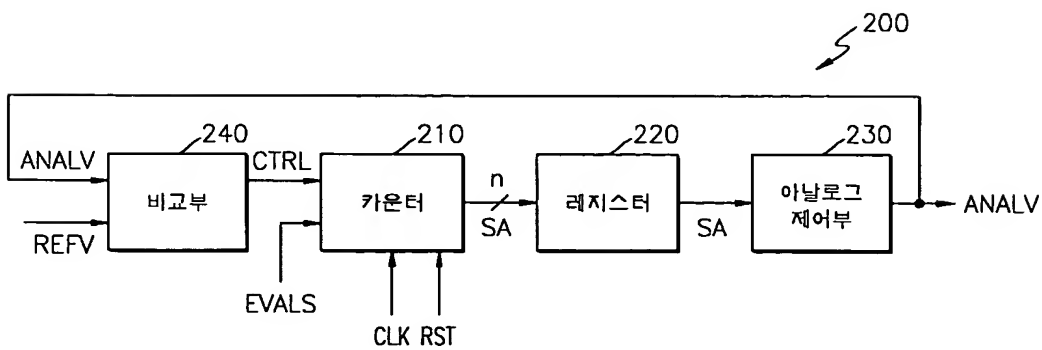
상기 서브 오픈 드레인 출력 버퍼의 제어 트랜지스터의 사이즈는 상기 제 1 오픈 드레인 출력 버퍼의 제어 트랜지스터 사이즈의 절반이며, 제 1 오픈 드레인 출력 버퍼의 제어 트랜지스터의 사이즈가 제 1 내지 제 n 오픈 드레인 출력 버퍼의 제어 트랜지스터의 사이즈 중 가장 작은 것을 특징으로 하는 출력 드라이버 회로에 연결된 출력 패드에 흐르는 전류량 제어 방법

## 【도면】

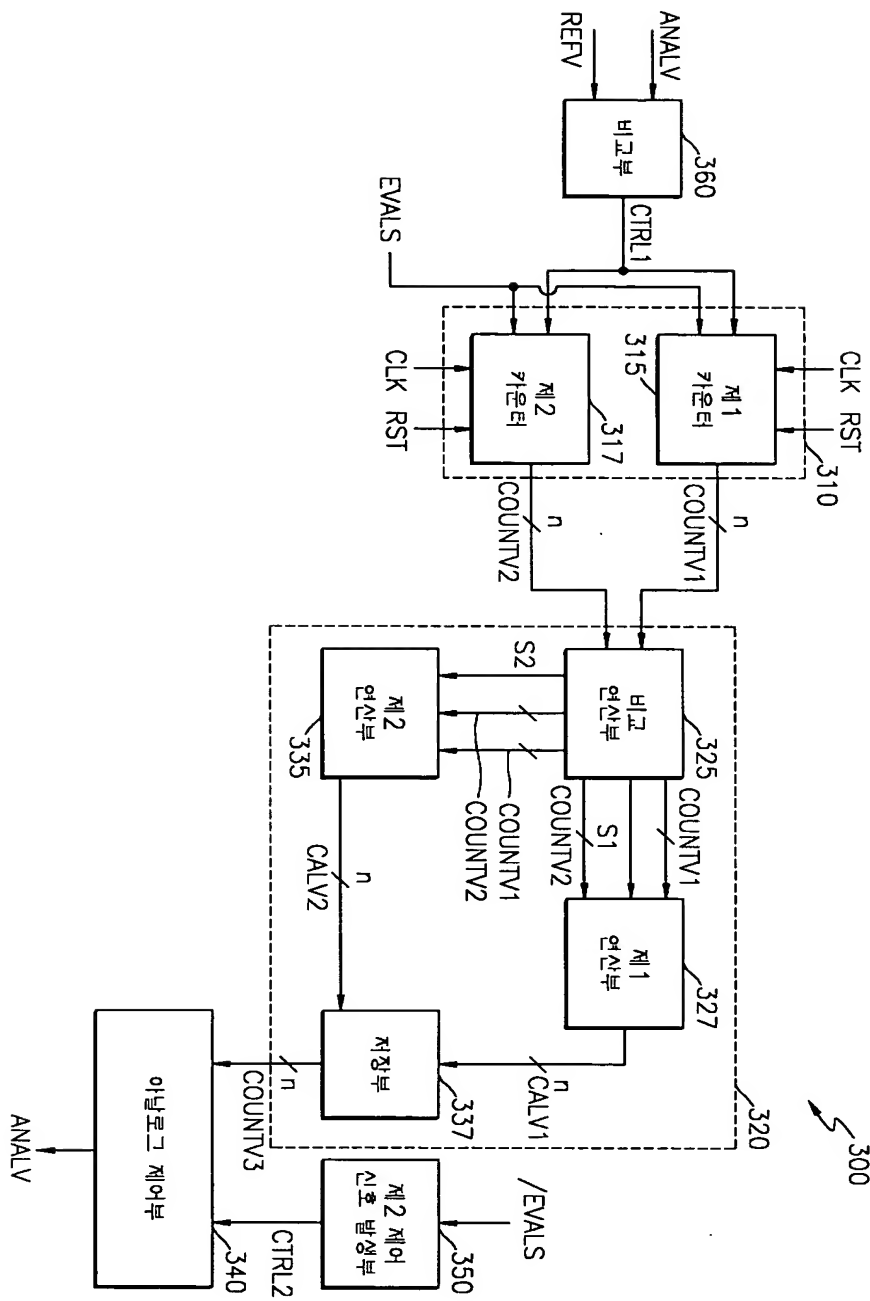
【도 1】



【도 2】

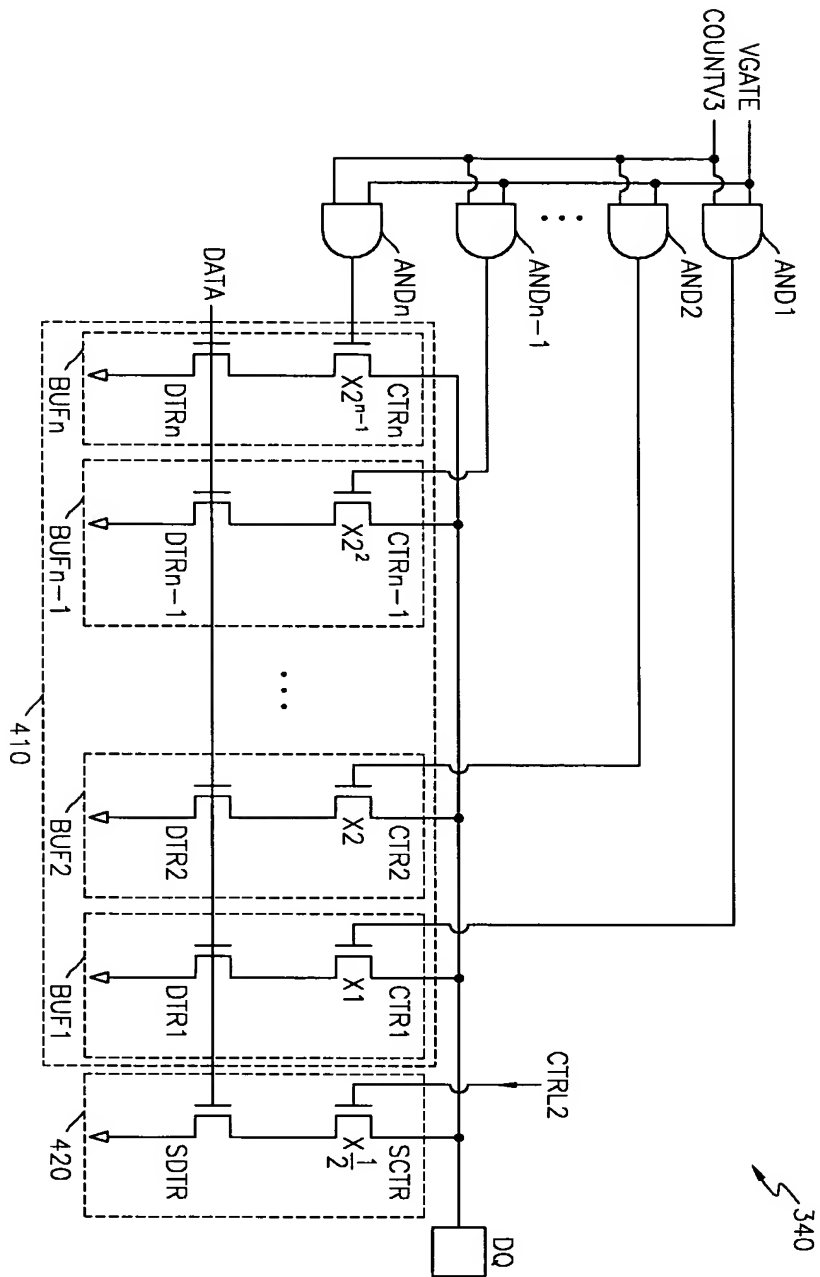


【도 3】



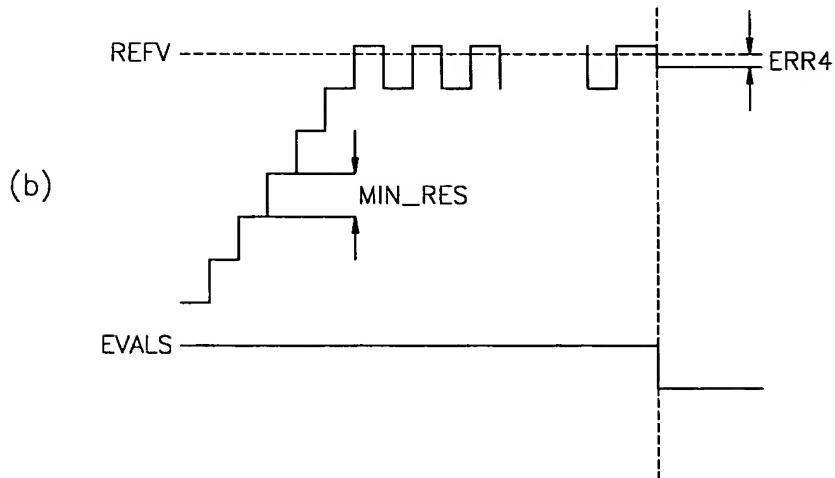
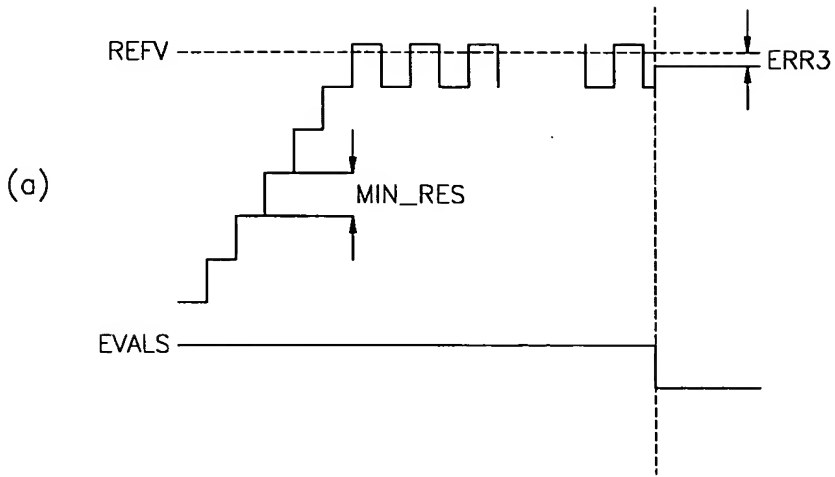


【도 4】



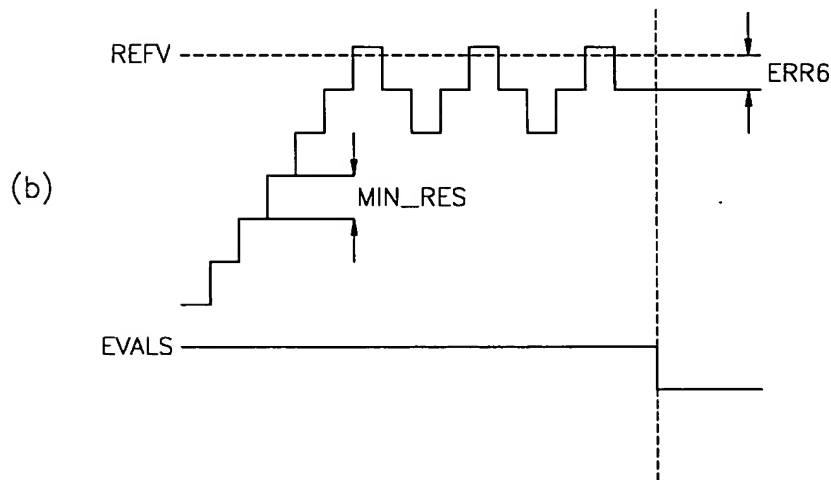
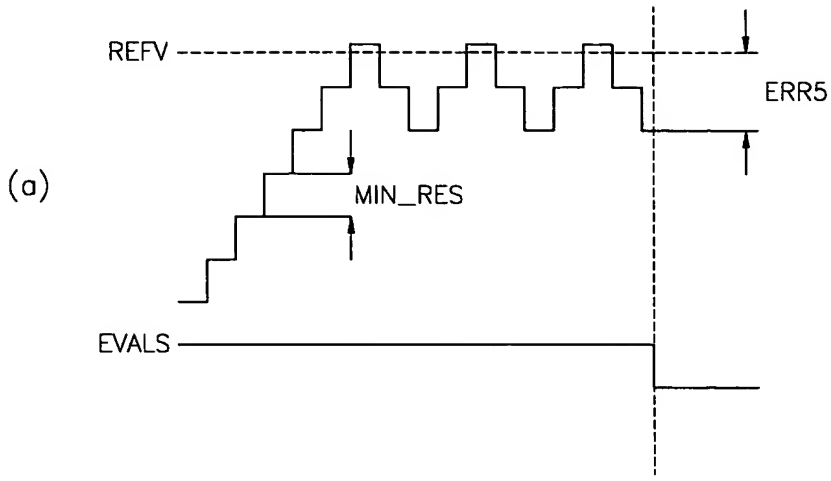


【도 5】

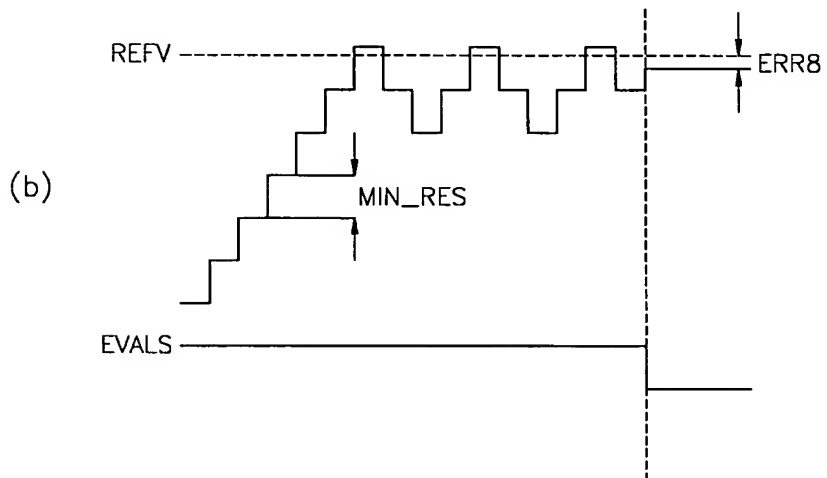
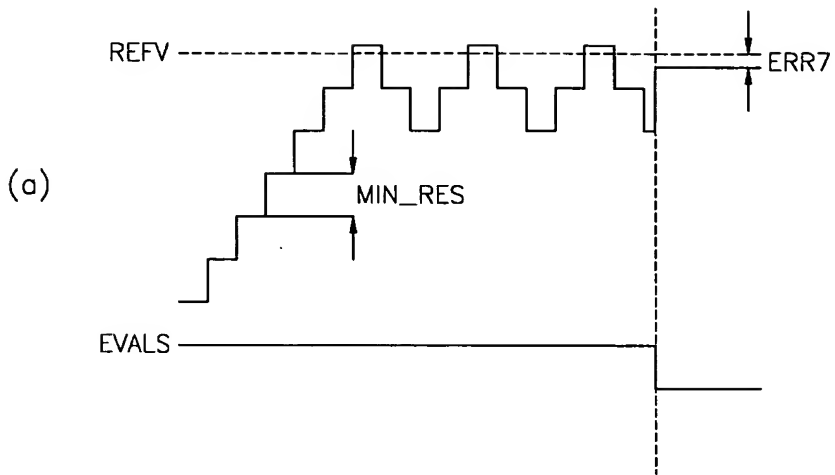




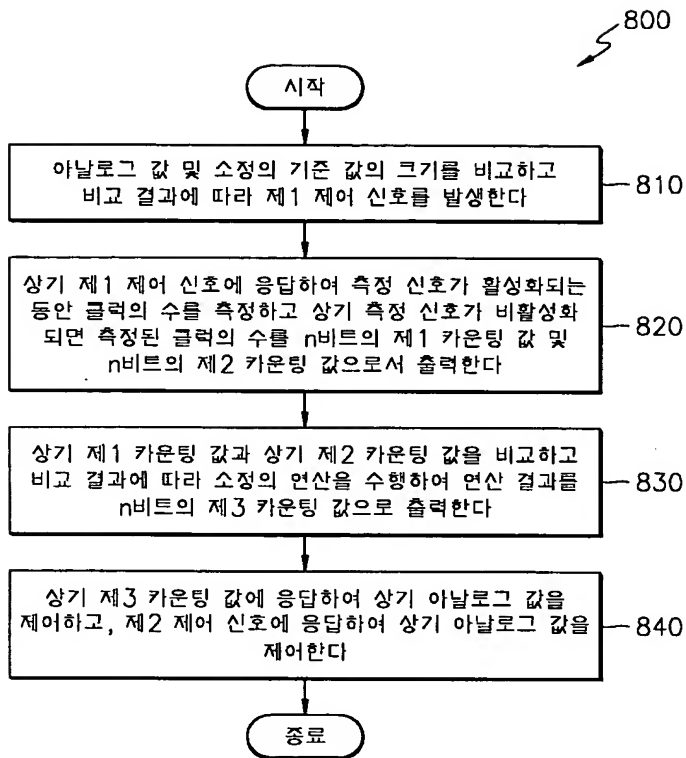
【도 6】



【도 7】



【도 8】



【도 9】

